

DOLL CIRCUIT CONSIDERING EXTERNAL LOAD

Publication number: JP2000059210

Publication date: 2000-02-25

Inventor: MATSUZAKI YASURO

Applicant: FUJITSU LTD

Classification:

- International: G11C11/407; H03K5/00; H03K5/135; H03L7/00; H03L7/081; G11C11/407; H03K5/00; H03K5/135; H03L7/00; H03L7/08; (IPC1-7): H03K5/00; H03K5/135; H03L7/00; G11C11/407

- european: H03L7/081A1

Application number: JP19980229657 19980814

Priority number(s): JP19980229657 19980814

Also published as:



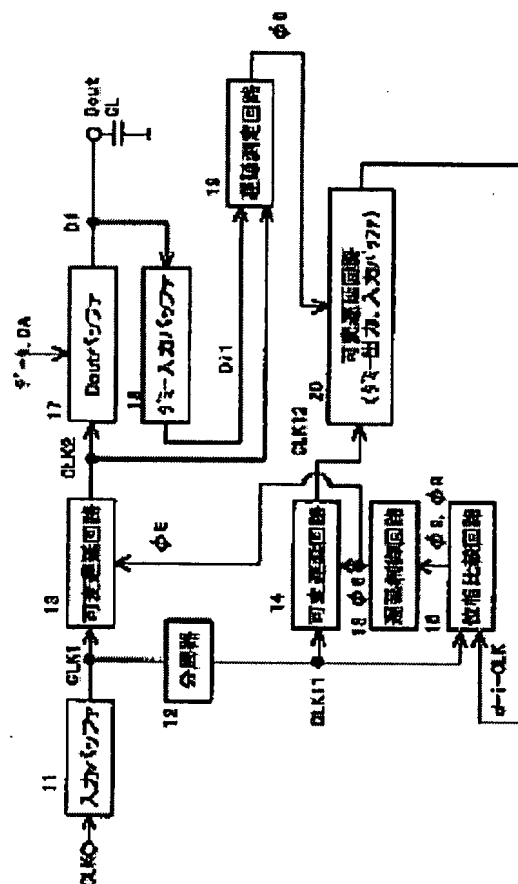
WO0010252 (A1)

US6476653 (B1)

Report a data error here

Abstract of JP2000059210

PROBLEM TO BE SOLVED: To enable phase adjusting operation in a short time by providing a DLL(delay locked loop) circuit for executing phase adjustment in accordance with an output load. **SOLUTION:** This DLL circuit is provided with a first variable delay circuit 14 for inputting a reference clock CLK 11 and outputting a clock delayed by a controlled delay time a second variable delay circuit 20 for inputting the output of the circuit 14 and outputting the clock delayed by a prescribed delay time, and phase comparing and delay-control circuits 15 and 16 for comparing the phases the clock CLK 11 and a delay clock d-i-CLK and controlling the delay quantity of the first variable delay circuit so that these phases are matched with each other. The operation delaying time of an output buffer different in accordance with an external load is measured to adjust the delay quantity of the second variable delay circuit in the feedback loop of the DLL circuit based on the operation delay time.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-59210

(P2000-59210A)

(43) 公開日 平成12年2月25日 (2000.2.25)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H 0 3 L 7/00		H 0 3 L 7/00	D 5 B 0 2 4
G 1 1 C 11/407		H 0 3 K 5/135	5 J 0 0 1
// H 0 3 K 5/00		C 1 1 C 11/34	3 5 4 C 5 J 1 0 6
5/135		H 0 3 K 5/00	K

審査請求 未請求 請求項の数 9 O L (全 20 頁)

(21) 出願番号 特願平10-229657

(22) 出願日 平成10年8月14日 (1998.8.14)

(71) 出願人 000003273

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 松崎 康郎

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100094525

弁理士 土井 健二 (外1名)

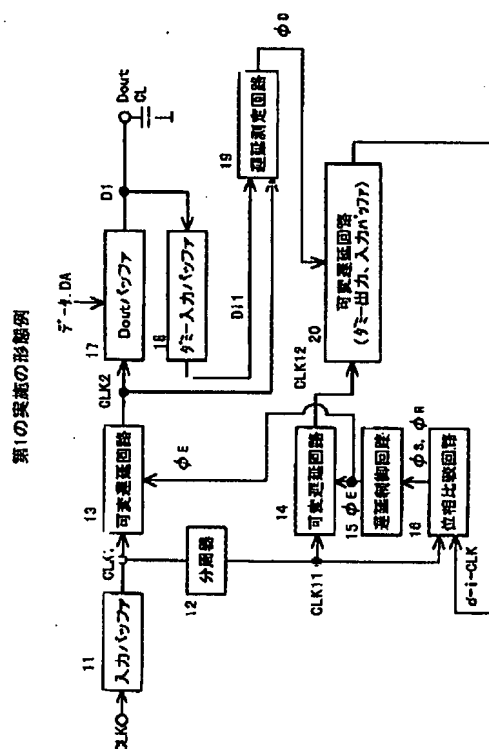
最終頁に続く

(54) 【発明の名称】 外部負荷を考慮したDLL回路

(57) 【要約】 (修正有)

【課題】 出力負荷に応じて位相調整が行われるDLL回路を提供し、位相調整動作を短時間で可能にする。

【解決手段】 基準クロックCLK11が入力され、制御された遅延時間だけ遅延したクロックを出力する第1的可変遅延回路14と、第1的可変遅延回路の出力クロックを入力され、所定の遅延時間遅延した遅延クロックを出力する第2的可変遅延回路20と、基準クロックCLK11と遅延クロックd-i-CLKとの位相を比較し、位相が一致するように、第1的可変遅延回路の遅延量を制御する位相比較・遅延制御回路15、16とを有する。外部負荷に応じて異なる出力バッファの動作遅延時間を測定し、その動作遅延時間に応じて、DLL回路のフィードバックループ内の第2的可変遅延回路の遅延量を調整する。



【特許請求の範囲】

【請求項1】基準クロックを遅延させて所定の位相関係を有する制御クロックを生成するディレー・ロックド・ループ(DLL)回路において、出力端子に出力信号を供給する出力バッファが該制御クロックに応答して動作し、前記DLL回路は、前記基準クロックが入力され、制御された遅延時間だけ遅延したクロックを出力する第1的可変遅延回路と、前記第1的可変遅延回路の出力クロックを入力され、所定の遅延時間遅延した遅延クロックを出力する第2的可変遅延回路と、前記基準クロックと前記遅延クロックとの位相を比較し、前記基準クロックと遅延クロックとの位相が所定の関係になる様に、前記第1的可変遅延回路の遅延量を制御する位相比較・遅延制御回路と、前記出力バッファの動作遅延時間を測定し、当該測定した動作遅延時間に応じて前記第2的可変遅延回路の遅延量を設定する遅延測定回路とを有することを特徴とするDLL回路。

【請求項2】請求項1において、前記基準クロックが入力バッファを介して供給され、前記遅延測定回路は、前記出力バッファの動作遅延時間と前記入力バッファと同等の遅延時間を有するダミー入力バッファの遅延時間との合計遅延時間を測定し、前記第2的可変遅延回路の遅延量を、当該合計遅延時間と同等に設定することを特徴とするDLL回路。

【請求項3】請求項1において、前記遅延測定回路は、前記制御クロックのタイミングから前記出力バッファの出力信号のタイミングまでの時間を測定することを特徴とするDLL回路。

【請求項4】請求項2または3において、前記遅延測定回路は、前記出力信号が切り替わる時に動作し、前記制御クロックのタイミングから前記出力信号の切り替わりまでの時間を測定することを特徴とするDLL回路。

【請求項5】請求項2または3において、前記遅延測定回路は、電源起動時の初期化状態において、前記時間を測定することを特徴とするDLL回路。

【請求項6】請求項2または3において、前記遅延測定回路は、デバイスの通常状態において、定期的なタイミングで、前記時間を測定することを特徴とするDLL回路。

【請求項7】請求項5において、更に、ダミーデータを発生するダミーデータ発生回路を有し、前記初期化状態において、前記ダミーデータが前記出力バッファに供給されることを特徴とするDLL回路。

【請求項8】請求項1において、前記第1的可変遅延回路の出力クロックが、前記制御ク

ロックとして前記出力バッファに供給されることを特徴とするDLL回路。

【請求項9】請求項1において、更に、前記基準クロックが供給される第3的可変遅延回路を有し、

前記第3的可変遅延回路は前記第1的可変遅延回路と同じ遅延量に制御され、前記第3的可変遅延回路の出力クロックが、前記制御クロックとして前記出力バッファに供給されることを特徴とするDLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、クロックのタイミングを安定化する回路であるディレー・ロックド・ループ(Delay Locked Loop: DLL)に関し、特に、短時間で、出力端子に接続される外部負荷に応じて制御クロックのタイミングを調整することができるDLL回路に関する。

【0002】

【従来の技術】高速のメモリデバイスとして、外部クロックに同期して動作するSDRAMが広く普及している。このようなクロック同期型のメモリデバイスは、外部クロックに同期してデータの入力や出力を行う為に、内部にタイミング制御回路としてディレー・ロックド・ループ(DLL)回路を内蔵する。かかるDLL回路は、例えば、本出願人が出願した特開平10-112182号に記載されている。

【0003】上記のDLL回路は、供給されるクロックと位相が一致或いは所定の位相関係にある制御クロックを生成し、その制御クロックが入力バッファや出力バッファの動作タイミングを制御する。DLL回路の概略的な構成は、基準クロックを遅延させる可変遅延回路と、その可変遅延回路の出力のクロックを入力バッファや出力バッファの遅延時間分だけ更に遅延させるダミー遅延回路と、基準クロックとダミー遅延回路の出力の遅延クロックとの位相を比較し、両クロックの位相が一致するように可変遅延回路の遅延量を制御する位相比較器及び遅延制御回路とを有する。基準クロックと遅延クロックの位相が一致するロック状態では、可変遅延回路の出力の制御クロックにตอบสนองしてデータ出力バッファから出力されるデータ出力が外部クロックの位相と一致することになる。

【0004】

【発明が解決しようとする課題】上記のDLL回路を内蔵するメモリデバイス或いはそれ以外のデバイスは、通常、プリント回路基板やモジュール基板上に搭載される。そして、DLL回路により生成された制御クロックにより動作タイミングが制御されるデータ出力バッファの出力端子は、搭載されるプリント回路基板等の配線に接続される。したがって、データ出力バッファの動作に要する時間は、この外部負荷の大きさに依存して異なる。

る。

【0005】ところが、かかるデータ出力バッファの出力端子に接続される外部負荷は、搭載されるプリント回路基板やモジュール基板の配線の構造により異なり、デバイス単体で設計する段階では予測不可能である。そのため、DLL回路内のフィードバックループ内に設けられるダミー出力バッファの遅延時間を固定的にすると、デバイスがシステム内に搭載された状態でのデータ出力バッファの動作に要する遅延時間が、固定的に設定されたダミー出力バッファの動作時間と整合しなくなることが予想される。その結果、DLL回路による制御クロックのタイミングが最適でなくなる。

【0006】したがって、デバイスがシステム内に搭載された状態で、例えば電源起動後の初期化状態において、外部負荷も考慮してフィードバックループ内の遅延回路の遅延量を設定することが望まれる。

【0007】一方、デバイスからの出力は、複数のデバイスに共通のバスに接続されるので、初期化状態における各デバイスの調整は、複数のデバイスに対して同時に行うことができず、1つ1つのデバイス毎に調整を行う必要がある。その場合、デバイス1つ1つに対してフィードバックループ内の遅延量を調整することが要求される。しかしながら、上記の特開平10-112182号で提案したDLL回路では、タイミング調整を行う為に、複数回の基準クロックと遅延クロックとの位相比較動作と遅延量の調整を行う必要があり、もしデバイス毎に外部負荷に応じた調整を行うと、システム全体のタイミング調整に長時間を要することになる。

【0008】そこで、本発明の目的は、基準クロックに同期する制御クロックであって、デバイスの出力端子に接続される外部負荷に対応して最適のタイミングを有する制御クロックを生成することができるDLL回路を提供することにある。

【0009】更に、本発明の目的は、基準クロックに同期する制御クロックであって、デバイスの出力端子に接続される外部負荷に対応して最適のタイミングを有する制御クロックを生成することができるDLL回路において、短時間で最適のタイミングに調整することができるDLL回路を提供することにある。

【0010】

【課題を解決するための手段】上記の目的を達成する為に、本発明は、基準クロックを遅延させて所定の位相関係を有する制御クロックを生成するディレー・ロックド・ループ(DLL)回路において、出力バッファの動作遅延時間を測定し、その動作遅延時間に応じて制御クロックのタイミングを調整する。DLL回路は、基準クロックが入力され、制御された遅延時間だけ遅延したクロックを出力する第1の可変遅延回路と、第1の可変遅延回路の出力クロックを入力され、所定の遅延時間遅延した遅延クロックを出力する第2の可変遅延回路と、基準

クロックと遅延クロックとの位相を比較し、基準クロックと遅延クロックとの位相が一致する様に、第1の可変遅延回路の遅延量を制御する位相比較・遅延制御回路とを有する。そして、外部負荷に応じて異なる出力バッファの動作遅延時間を測定し、その測定した出力バッファの動作遅延時間に応じて、DLL回路のフィードバックループ内の第2の可変遅延回路の遅延量を調整する。その結果、第1の可変遅延回路遅延回路の出力クロックのタイミングが、外部負荷の大きさに応じて調整される。そして、この出力クロック或いは同等の遅延制御を受ける別の可変遅延回路の出力クロックを制御クロックとして利用する。

【0011】上記の目的を達成する為に、本発明は、基準クロックを遅延させて所定の位相関係を有する制御クロックを生成するディレー・ロックド・ループ(DLL)回路において、出力端子に出力信号を供給する出力バッファが該制御クロックにตอบสนองして動作し、前記DLL回路は、前記基準クロックが入力され、制御された遅延時間だけ遅延したクロックを出力する第1の可変遅延回路と、前記第1の可変遅延回路の出力クロックを入力され、所定の遅延時間遅延した遅延クロックを出力する第2の可変遅延回路と、前記基準クロックと前記遅延クロックとの位相を比較し、前記基準クロックと遅延クロックとの位相が所定の関係になる様に、前記第1の可変遅延回路の遅延量を制御する位相比較・遅延制御回路と、前記出力バッファの動作遅延時間を測定し、当該測定した動作遅延時間に応じて前記第2の可変遅延回路の遅延量を設定する遅延測定回路とを有することを特徴とする。

【0012】上記の構成によれば、出力端子の出力容量に応じて制御クロックのタイミングを微調整することができ、最適のタイミングの制御クロックを生成することができる。

【0013】更に、上記の発明において、前記遅延測定回路は、前記制御クロックのタイミングから前記出力バッファの出力信号のタイミングまでの時間を測定することを特徴とする。出力バッファの動作遅延時間を測定して、それに応じて前記第2の可変遅延回路の遅延量を設定しているので、DLL回路のフィードバックループを利用した遅延量の設定に比較して、短時間で設定が可能になる。

【0014】

【発明の実施の形態】以下、本発明の実施の形態について図面に従って説明する。しかしながら、本発明の技術的範囲がその実施の形態に限定されるものではない。

【0015】[DLL回路]図1は、第1の実施の形態例のDLL回路の構成図である。また、図2は、その動作タイミングチャート図である。外部から供給される外部クロックCLKが、入力バッファ11に供給され、基準クロックCLK1が生成される。図2には、入力バッ

ファ11の遅延時間 Δt_{11} が示され、基準クロックCLK1が外部クロックCLKより遅延時間 Δt_{11} だけ位相がずれていることが示される。

【0016】基準クロックCLK1は、可変遅延回路13で制御された遅延時間 Δt_{13} だけ遅延され、制御クロックCLK2となる。制御クロックCLK2は、データ出力バッファ17に供給される。データ出力バッファ17は、制御クロックCLK2にตอบสนองしてデータDAを取り込み出力D1を出力端子Doutに供給する。出力端子Doutには、デバイスが搭載されるプリント回路基板などの外部負荷 C_L が接続される。したがって、データ出力バッファ17は、出力端子Doutと外部負荷 C_L とを駆動する必要がある。つまり、外部負荷 C_L の大きさに依存して、データ出力バッファ17の動作時間 Δt_{17} が異なることになる。

【0017】基準クロックCLK1は、分周器12を介して、例えば2分の1の周波数に分周される。分周された基準クロックCLK11は、別の可変遅延回路14で制御された遅延時間 Δt_{14} だけ遅延され、クロックCLK12となる。この可変遅延回路14は、可変遅延回路13と同等の遅延回路であり、同じ遅延制御信号 ϕ_S により同等の遅延時間を有するように制御される。クロックCLK12は、更にフィードバックループ内に設けた可変遅延回路20に供給され、入力バッファ11と出力バッファ17の動作遅延時間($\Delta t_{20} = \Delta t_{11} + \Delta t_{17}$)に相当する時間だけ遅延された遅延クロックd-i-c l kが出力される。

【0018】位相比較回路16は、基準クロックCLK11と遅延された遅延クロックd-i-c l kとの位相を比較し、位相比較結果信号 ϕ_S 、 ϕ_R とを生成し、遅延制御回路15に供給する。遅延制御回路15は、位相比較結果信号 ϕ_S 、 ϕ_R 、にしたがって、両クロックCLK11、c-i-c l kの位相差がなくなる様に、可変遅延回路14、13の遅延量を制御する遅延制御信号 ϕ_E を生成する。その結果、可変遅延回路14と可変遅延回路20の遅延量の合計($\Delta t_{14} + \Delta t_{20}$)は、基準クロックCLK11の周期(またはクロックCLKの整数倍)になるように、制御される。その結果、基準クロックCLK11と遅延された遅延クロックc-i-c l kの位相が一致する。

【0019】図1の実施の形態例では、DLL回路内のフィードバックループ内の可変遅延回路20の遅延量 Δt_{20} が、出力負荷 C_L に応じて異なるデータ出力バッファ17の動作遅延時間 Δt_{17} に応じて設定される。即ち、遅延測定回路19は、データ出力バッファ17の動作開始を制御する制御クロックCLK2の立ち上がりエッジから、その制御クロックCLK2にตอบสนองして出力信号D1が変化するまでのタイミングまでの時間 Δt_{17} と、その出力信号D1がダミー入力バッファ18を通過する時間 Δt_{11} の合計を測定する。そして、その測

定時間($\Delta t_{17} + \Delta t_{11}$)に応じて、可変遅延回路20の遅延量を遅延設定信号 ϕ_D により設定する。したがって、可変遅延回路20は、データ出力バッファ17の動作遅延時間 Δt_{17} と、ダミー入力バッファ18の遅延時間 Δt_{11} の合計時間に設定される。入力バッファ11の遅延時間 Δt_{11} は、出力端子Doutの外部負荷 C_L に依存しないので、それと同等の遅延時間を有するダミー入力バッファ18が利用される。

【0020】遅延測定回路19は、後述するとおり、1回のデータ出力動作でデータ出力バッファ17の動作遅延時間 Δt_{17} を測定することができる。尚、分周器12は、必須ではないが、高周波のクロックCLKに対して、DLL回路の位相比較動作と遅延制御動作の頻度を下げる為に設けられる。動作頻度を下げる必要がない場合は、後述する例にある通り、この分周器12は必要ない。その場合は、可変遅延回路13、14が1つの可変遅延回路で構成可能である。

【0021】上記の構成によれば、外部負荷 C_L に依存して変化するデータ出力バッファ17の動作遅延時間に応じて、DLL回路のフィードバックループ内の可変遅延回路20の遅延時間が設定される。従って、基準クロックCLK11と遅延された遅延クロックc-i-c l kの位相が一致するので、制御クロックCLK2の立ち上がりエッジのタイミングは、外部クロックCLKの立ち上がりエッジ(位相0度)からデータ出力バッファ17の動作遅延時間 Δt_{17} だけ早いので、出力される出力信号D1は、外部クロックCLKの立ち上がりエッジの位相に一致して出力される。

【0022】図3は、第2の実施の形態例のDLL回路の構成図である。その動作タイミングチャート図は、図2に示される。図3のDLL回路は、図1と同じ部分には同じ引用番号を有する。第2の実施の形態例は、第1の実施の形態例と異なり、DLL回路のフィードバックループ内には、可変遅延回路で構成されるダミー出力バッファ21と遅延量が固定のダミー入力バッファ18が設けられる。そして、遅延測定回路19は、制御クロックCLK2の立ち上がりエッジからデータ出力バッファ17が出力信号D1を出力するまでの時間 Δt_{17} を測定し、その遅延時間 Δt_{17} に応じてダミー出力バッファ21の遅延時間を遅延量設定信号 ϕ_D により設定する。従って、遅延されたクロックCLK13は、クロックCLK12から測定された時間 Δt_{17} 分だけ遅延する。そして、クロックCLK13は、更にダミー入力バッファ18により入力バッファ11と同等の遅延時間 $\Delta t_{18} (= \Delta t_{11})$ だけ遅延して、遅延クロックc-i-c l kとなる。それ以外の構成は、図1の回路と同じである。

【0023】図4は、第1の実施の形態例の変形例のDLL回路の構成図である。この例は、図1の可変遅延回路13、14が共通の可変遅延回路13で構成され、分

周器12は設けられていない。従って、可変遅延回路13の出力のクロックCLK2が可変遅延回路20を介して位相比較回路16に供給され、そのクロックCLK2が制御クロックとしてデータ出力バッファ17に共有される。そして、位相比較回路16は、外部クロックCLKの周期毎で位相比較を行い、遅延制御回路15が可変遅延回路13の遅延量を制御する。図1の第1の実施の形態例と同様に、遅延測定回路19は、制御クロックCLK2の立ち上がりエッジからデータ出力バッファ17が出力信号D1を出力するまでの時間 Δt_{17} と、ダミー入力バッファ18の遅延時間 Δt_{11} の合計を測定する。

【0024】図4の実施の形態例では、データ出力バッファ17へのデータDAは、通常のメモリデバイス内のデータバスDBからのデータ、または電源起動時の初期化状態の時に活性化されるダミーデータ発生器22からのダミーデータが、スイッチ23により切り換えられる。電源起動時の初期化状態では、メモリデバイスは動作していないので通常のデータバスからの出力データの変化はない。従って、初期化状態において生成されるリセット信号にตอบสนองして、ダミーデータ発生器22が活性化され、ダミーデータがデータ出力バッファ17に供給され、遅延測定回路19の測定動作に利用される。

【0025】また、遅延測定回路19は、初期化状態において、リセット信号にตอบสนองして、制御クロックCLK2の立ち上がりエッジからダミー入力バッファ18の出力Di1が変化するまでの時間を測定する。そのために、遅延測定回路19は、データ出力バッファ17に供給されるデータDAが、例えばHレベルからLレベルに変化したことを検出し、その後の制御クロックCLK2の立ち上がりエッジから、出力信号Di1の立ち下がりエッジまでの時間を測定する。

【0026】更に、後述する遅延測定回路19の内部回路により明らかになるが、遅延測定回路19は、通常動作状態においても、所定の頻度で、データバスDBからのデータDAがHレベルからLレベルに変化したことを検出し、その後の制御クロックCLK2の立ち上がりエッジから、出力信号Di1の立ち下がりエッジまでの時間を測定する。初期化状態で一旦設定した可変遅延回路20の遅延量は、例えば温度変化やその他の要因により外部負荷CLが変化して、変化する場合がある。その場合は、通常動作状態における遅延測定回路19の動作により、可変遅延回路20の遅延量が再設定される。

【0027】〔遅延測定回路〕図5は、遅延測定回路19と可変遅延回路20の構成を示す図である。図2に示した可変遅延回路21もこの構成と同等である。

【0028】遅延測定回路19は、遅延測定回路の制御部19Aと、その制御部19Aが生成するスタートパルスSTART、ストップパルスSTOP及びゲートパルスGATEにより制御されて遅延時間を測定する測定部

19Bとを有する。制御部19Aの構成は後述する。また、測定部19Bは、測定結果に応じて遅延設定信号 ϕ_0 を生成し、その遅延設定信号 ϕ_0 によって、可変遅延回路20の遅延量が設定される。

【0029】遅延測定回路の制御部19Aは、後述する通り、電源起動時の初期化状態において、リセット信号RESETにตอบสนองして、データDAがHレベルからLレベルに切り替わったことを検出し、その直後の制御クロックCLK2の立ち上がりエッジにตอบสนองしてスタートパルスSTARTを生成する。このスタートパルスSTARTの立ち上がりによるHレベルが、NANDゲートとインバータからなる遅延回路30を伝播する。従って、遅延回路30の各ノードN10~N40は、次々にHレベルとなる。その状態は、ゲート31を介して、インバータからなるラッチ回路群32にラッチされる。

【0030】制御部19Aは、ダミー入力バッファ18の出力信号Di1の立ち下がりエッジにตอบสนองして、ストップパルスSTOPを生成し、そのストップパルスSTOPによりCMOSTransファゲート31が閉じられる。即ち、ストップパルスSTOPが生成された時点で、スタートパルスSTARTが遅延回路30を伝播した箇所までのノードN10~N40が、全てHレベルとなる。図6のタイミングチャートの例では、ノードN30までがHレベルになっている。従って、ストップパルスSTOPの生成により、ラッチ回路群32のノードN11, N21, N31がLレベル、それより右側のノードN41らがHレベルとなる。従って、NORゲート群34の出力は、ノードN32のみがHレベルとなり、それ以外のノードN12, N22, N42は全てLレベルとなる。

【0031】制御部19Aは、ストップパルスSTOPの生成にตอบสนองして、ゲートパルスGATEを生成する。このゲートパルスGATEのHレベルにตอบสนองして、CMOSTransファゲート群34が導通し、ラッチ回路群35が上記の状態をラッチする。従って、遅延設定信号 ϕ_0 は、3段目の信号のみがHレベルとなり、それ以外は全てLレベルとなる。

【0032】可変遅延回路20は、インバータ45, 47, 49などとNANDゲート46, 48, 50などからなる遅延回路と、入力される制御クロックCLK2を供給するNANDゲート41, 42, 43, 44などで構成される。このNANDゲート41~44の一方の入力には、制御クロックCLK2が供給され、他方の入力には、遅延設定信号 ϕ_0 が供給される。上記の例では、NANDゲート43に供給される遅延設定信号 ϕ_0 だけがHレベルであるので、NANDゲート43を介して制御クロックCLK2の立ち上がりエッジがノードN33をLレベルにする。その結果、制御クロックCLK2は、NANDゲート43とゲート50~45を通過して遅延クロックc-i-c1kとなるので、可変遅延回路

20の遅延量は、合計7段のゲート遅延量に設定される。

【0033】以上の通り、測定部19Bは、データ出力信号DAのHレベルからLレベルへの一回の変化で、データ出力バッファ17とダミー入力バッファ18の遅延時間の合計を測定する。そして、その測定結果により、可変遅延回路20の遅延量が設定される。従って、DLL回路の出力負荷 C_L に応じた位相調整を短時間で行うことができる。

【0034】図7は、遅延測定回路の制御部19Aの回路図である。この制御部19Aは、初期化状態において、リセット信号RESETのHレベルにตอบสนองして活性化信号N2がHレベルとなる。活性化信号N2が活性状態のHレベルの間に、制御部19Aが、スタートパルスSTART、ストップパルスSTOP及びゲートパルスGATEを生成し、その後自ら非活性状態に戻る。また、通常動作状態でも、カウンタ55により所定の時間間隔で、活性化信号N2がHレベルになる。

【0035】活性化状態では、データDAの立ち下がりを検出する回路78によりデータDAの立ち下がり検出信号N4が生成され、その直後の制御クロックCLK2の立ち上がりに対応して、スタートパルスSTARTがHレベルになる。更に、スタートパルスSTARTがHレベルに立ち上がってから後の信号Di1の立ち下がりに対応して、ストップパルスSTOPがHレベルになる。そして、ストップパルスSTOPの立ち上がりエッジに対応して、ゲートパルスGATEが生成される。ゲートパルスGATEの発生に対応して、非活性化信号N5が生成され、ラッチ回路53を反転して活性化信号N2をLレベルに戻す。それに対応して、スタートパルスSTART及びストップパルスSTOPがLレベルに戻る。従って、スタートパルスSTARTの立ち上がりエッジから、ストップパルスSTOPの立ち上がりエッジまでが、出力バッファ17とダミー入力バッファ18の遅延時間の合計に対応する。

【0036】図8は、初期化状態での遅延測定回路の制御部の動作タイミングチャート図である。電源起動時などの初期化状態においてDLL回路が位相調整モードになると、リセットパルスRESETが生成され、ダミーデータ発生器22からダミーデータが生成される。既に説明した通り、この実施の形態例では、データ信号の立ち下がりタイミングを利用して、出力バッファ17及びダミー入力バッファ18の遅延時間を測定する。そのために、出力データ信号D1がHレベルからLレベルに切り替わる場合に、測定を行う。即ち、前回のデータDA(n-1)がHレベル、今回のデータDA(n)がLレベルの場合に遅延時間の測定が行われる。

【0037】リセットパルスRESETの立ち上がりエッジに対応して、インバータ52がノードN6をLレベルにする。それに対応して、NANDゲート54を介し

て、活性化信号N2がHレベルになる。その結果、NANDゲート57が導通状態となり、制御クロックCLK2を反転してゲート58, 60に供給する。一方、データDAの立ち下がり検出回路78は、データDAを制御クロックCLK2のエッジに同期して導通するゲート58, 60により、ラッチ回路59, 61に転送する。即ち、制御クロックCLK2の立ち下がりエッジでダミーデータDAがHレベルであり、次の立ち上がりエッジでLレベルの時に、検出信号N4がHレベルになり、N型トランジスタ67を導通する。

【0038】その直後の制御クロックCLK2の立ち上がりエッジに対応して、N型トランジスタ66も導通し、ノードN7をLレベルにし、スタートパルスSTARTがHレベルに立ち上がる。これにより、測定部19Bの測定が開始する。

【0039】このノードN7のLレベルによりP型トランジスタ69が導通する。そして、その後のダミー入力バッファ18の出力信号Di1の立ち下がりエッジに対応して、P型トランジスタ70も導通し、ストップパルスSTOPがHレベルとなる。これにより、測定部19Bの測定が終了する。

【0040】ストップパルスSTOPの立ち上がりエッジに対応して、インバータ73の遅延時間分のパルス幅を有するゲートパルスGATEが生成される。更に、ゲートパルスGATEの立ち下がりエッジに対応して、インバータ76の遅延時間分のパルス幅を有する非活性化パルスN5が生成され、信号N6をHレベルに戻し活性化信号N2をLレベルにする。この活性化信号N2のLレベルへの立ち下がりエッジに対応して、スタートパルスSTART及びストップパルスSTOPが共にLレベルに立ち下がる。

【0041】図9は、通常動作状態での遅延測定回路の制御部の動作タイミングチャート図である。通常動作状態では、初期化状態の位相調整モードで可変遅延回路20の遅延量が調整されたDLL回路により、制御クロックCLK2が生成される。そして、温度変化などを考慮して、図7に示したカウンタ55が制御クロックCLK2をカウントし、例えば256回カウントすると、信号N1がHレベルになる。そして、出力イネーブル信号OEがHレベルになって、データバスDBから読み出しデータDAがデータ出力バッファ17に供給される時に、NANDゲート56, 54により活性化信号N2がHレベルにされる。

【0042】この活性化信号N2がHレベルの間に、制御クロックCLK2の立ち下がりエッジでデータDAがHレベル、次の立ち上がりエッジでデータDAがLレベルに変化するのを検出して、上記の初期化状態の場合と同様に、スタートパルス、ストップパルス、ゲートパルスが生成される。その動作は、初期化状態での位相調整モード時の動作と同じである。そして、最後にカウンタ

55が信号N5の立ち上がりエッジでリセットされ、測定動作が終了する。このように、1回のデータDAの立ち下がりエッジを利用して遅延時間の測定が行われる。

【0043】[ダミーデータ発生器] 図10は、ダミーデータ発生器の回路図である。また、図11は、その動作タイミングチャート図である。ダミーデータ発生器は、電源投入直後の初期化状態において位相調整モードを実行する際に、ダミーデータを生成し、データ出力バッファ17に供給する。

【0044】まず、反転信号/N6がLレベルの間に、ラッチ回路80のノードN52がLレベル、ラッチ回路81のノードN53がHレベルになっている。そこで、電源投入直後のリセットパルスRESETの応答して、信号N6がLレベルとなり、その反転信号/N6がHレベルとなる。その結果、NANDゲート82が導通状態となる。制御クロックCLK2がNANDゲート82で反転されて、CMOSTランジスタゲートS1、S2に供給され、それらのゲートS1、S2を交互にオン、オフさせる。それに応じて、ノードN52、N53には、制御クロックCLK2を2分の1に分周したクロックが生成される。

【0045】初期化状態では、反転信号/N6のHレベルにより、スイッチ23Aが導通し、ダミーデータ発生器22の発生するダミーデータが、ノードN54、N55に供給され、データ出力バッファ17に供給される。また、通常状態では、反転信号/N6のLレベルにより、スイッチ23Bが導通し、データバスからのデータがデータ出力バッファ17に供給される。

【0046】[データ出力バッファ] 図12は、データ出力バッファの回路図である。データ出力バッファは、出力端子D_{out}を駆動する大型のP型トランジスタ87とN型トランジスタ88を有する。この最終段の出力インバータのゲートには、それぞれラッチ回路85、86によりラッチされたデータ信号が供給される。逆相のデータ入力信号N54、N55は、出力イネーブル信号OEがHレベルの時に、ANDゲート89及びNANDゲート90を介して供給され、制御クロックCLK2の立ち上がりエッジに反応してゲート83、84が導通し、ラッチ回路85、86によりラッチされる。そのラッチ信号により、出力段のトランジスタ87、88が駆動される。また、出力イネーブル信号OEがLレベルの時は、ANDゲート89及びNANDゲート90の出力がそれぞれLレベル及びHレベルになり、出力段のトランジスタ87、88は共にオフ状態となり、出力端子D_{out}はHインピーダンス状態となる。

【0047】[可変遅延回路] 図13は、可変遅延回路13、14の例を示す図である。この可変遅延回路は、入力クロックi-clkを遅延させて、出力クロックd11-clkを出力する。可変遅延回路13、14は、複数のインバータ98～112と、NANDゲート11

3～128により、図示される通り構成される。NANDゲート113～120の一方の入力には、入力クロックi-clkを遅延させたクロックが供給され、他方の入力には遅延制御信号 $\phi_{E-1} \sim \phi_{E-32}$ が供給される。遅延制御信号 $\phi_{E-1} \sim \phi_{E-32}$ は、いずれか1つの信号がHレベルとなり、残りの信号がLレベルとなる。

【0048】仮に、遅延制御信号 ϕ_{E-1} がHレベルとすると、他の遅延制御信号のLレベルにより、NANDゲート113～119の出力は全てHレベルとなる。その結果、NANDゲート121～127は全てLレベル、インバータ102～108は全てHレベルとなる。そこで、入力クロックi-clkは、4つのインバータ98～101と、NANDゲート120、128と、4つのインバータ109～112との合計10段のゲートの遅延量をもって、出力クロックd11-clkとして出力される。この状態が、遅延量が最小の状態である。

【0049】そして、Hレベルの遅延制御信号 $\phi_{E-1} \sim \phi_{E-32}$ が図中右側にシフトするたびに、NANDゲート127及びインバータ108の2段のゲートの遅延量が追加される。そして、遅延制御信号 ϕ_{E-32} がHレベルになると、最大の遅延量となる。即ち、遅延制御信号 $\phi_{E-1} \sim \phi_{E-32}$ の内、Hレベルの遅延制御信号が右側に1つずれると、NANDゲートとインバータの2段分の遅延量が増加され、左側に1つずれると、同様の2段分の遅延量が減少される。

【0050】[位相比較回路] 図14は、位相比較回路16内の位相比較部の回路図である。また、図15は、位相比較部の動作を示す波形図である。この位相比較部は、NANDゲート199～203及びインバータ215からなる部分において、第1のクロックCLK1、CLK11（以下代表してc-clk）と第2のクロックd-i-clkとの位相関係を検出して、ノードn1～n4にその検出結果を生成する。両クロックの位相関係は、図15の(A)に示される通り、第1のクロックc-clkに比較して第2のクロックd-i-clkの位相が進んでいる状態と、図15の(B)に示される通り、両クロックの位相がほぼ一致している状態と、図15の(C)に示される通り、第1のクロックc-clkに比較して第2のクロックd-i-clkの位相が遅れている状態とに分類される。

【0051】図15の(A)の状態の場合は、両クロックがLレベルの状態では、ノードn1～n4は全てHレベルであり、その後、第2のクロックd-i-clkが先にHレベルとなり、

n1=L、n2=H、n3=L、n4=H

となる。その後、第1のクロックc-clkが遅れてHレベルになっても、上記のノードn1～n4の状態は変化しない。NANDゲート198は、両クロックが共にHレベルになると出力をLレベルにし、その立ち下がりエッジから所定の幅のHレベルパルスが、NORゲート

216から出力される。このHレベルパルスが、取り込みパルスとしてNANDゲート204~207に供給され、ノードn1~n4の状態が、NANDゲート208, 209からなるラッチ回路と、NANDゲート210, 211からなるラッチ回路とにそれぞれ取り込まれる。従って、信号 ϕb 、 ϕc 、 ϕd 、 ϕe は、図14の表に示される通り、

$\phi b = H$ 、 $\phi c = L$ 、 $\phi d = H$ 、 $\phi e = L$

となる。

【0052】図15(B)の状態は、第1のクロック $c-clk$ に対して第2のクロック $d-i-clk$ の位相が、NANDゲート201とインバータ215の遅延時間以内の範囲で遅れる場合である。その場合は、第1のクロック $c-clk$ が先にHレベルとなり、

$n1 = H$ 、 $n2 = L$

となり、更に、インバータ215の出力が第2のクロック $d-i-clk$ よりも後にHレベルとなり、

$n3 = L$ 、 $n4 = H$

となる。

【0053】従って、両クロックがHレベルになるタイミングでラッチされ、信号 ϕb 、 ϕc 、 ϕd 、 ϕe は、図14の表に示される通り、

$\phi b = L$ 、 $\phi c = H$ 、 $\phi d = H$ 、 $\phi e = L$

となる。この場合は、位相が一致したことを意味するので、ANDゲート418の出力の位相一致信号JSTもHレベルを出力する。

【0054】図15(C)の状態では、第1のクロック $c-clk$ が先にHレベルとなり、

$n1 = H$ 、 $n2 = L$ 、 $n3 = H$ 、 $n4 = L$

となる。その後、第2のクロック $d-i-clk$ が遅れてHレベルになっても、上記のノードn1~n4の状態は変化しない。この状態が、両クロックがHレベルになるタイミングでラッチされ、信号 ϕb 、 ϕc 、 ϕd 、 ϕe は、図14の表に示される通り、

$\phi b = L$ 、 $\phi c = H$ 、 $\phi d = L$ 、 $\phi e = H$

となる。

【0055】図16は、位相比較回路16の位相比較出力部の回路図である。また、図17は、その位相比較出力部の動作を示す波形図である。波形図の(A)、

(B)、(C)は、図14及び図15の(A)、

(B)、(C)にそれぞれ対応する。

【0056】位相比較出力部は、両クロックの位相比較のタイミングで生成されるタイミング信号 ϕa の周波数を2分の1に分周する分周回路21Aと、その分周回路21Aからの出力のタイミングにตอบสนองして、両クロックの位相関係に応じて生成された信号 ϕb 、 ϕc 、 ϕd 、 ϕe に基づいて、位相比較結果信号 $\phi_{s0} \sim \phi_{RE}$ を出力する出力回路21Bとから構成される。

【0057】2分の1分周回路21Aは、JKフリップフロップ構成であり、両クロック $c-clk$ 、 $d-i-$

clk が共にHレベルになる時をNANDゲート198(図14)で検出し、その検出パルス ϕa を2分の1分周して、逆相のパルス信号 $n11$ と $n12$ とを生成する。検出パルス ϕa がゲート226, 227に供給され、反転検出パルス ϕa がゲート222, 223に供給され、ゲート228, 229からなるラッチ回路と、ゲート224, 225からなるラッチ回路間で、反転信号を転送する。その結果、2分の1分周された逆相のパルス信号 $n11$ 、 $n12$ が生成される。

【0058】出力回路21Bは、サンプリングラッチされた信号 ϕb 、 ϕc 、 ϕd 、 ϕe をデコードして、第1のクロック $c-clk$ (CLK1, CLK11)の位相が第2のクロック $d-i-clk$ より遅れている時(状態(A))は、ダイオード236の出力をHレベルにし、両クロックの位相が一致している時(状態(B))は、ダイオード236と237の出力を共にLレベルにし、更に、第1のクロック $c-clk$ の位相が第2のクロック $d-i-clk$ より進んでいる時(状態(C))は、ダイオード237の出力をHレベルにする。

【0059】従って、出力回路21Bは、NANDゲート232~235のデコード機能により、上記の状態(A)の時は、NANDゲート232, 233が、タイミング信号 $n11$ 、 $n12$ にตอบสนองして、第2のクロック $d-i-clk$ の位相を遅らせる様に、可変遅延回路13の遅延量を増加させる位相比較結果信号 ϕ_{s0} 、 ϕ_{SE} を、交互にHレベルにする。即ち、図17(A)に示される通りである。また、上記の状態(B)の時は、出力回路21Bは、図17(B)の如く、位相比較結果信号 $\phi_{s0} \sim \phi_{RE}$ を生成しない。更に、上記の状態(C)の時は、図17(C)の如く、NANDゲート234, 235が、タイミング信号 $n11$ 、 $n12$ にตอบสนองして、第2のクロック $d-i-clk$ の位相を進める様に、可変遅延回路13の遅延量を減少させる位相比較結果信号 ϕ_{R0} 、 ϕ_{RE} を、交互にHレベルにする。

【0060】[遅延制御回路]図18は、遅延制御回路15の一部の構成を示す回路図である。遅延制御回路15は、位相比較結果信号 $\phi_{s0} \sim \phi_{RE}$ にตอบสนองして、NORゲート431-1~431-3から遅延制御信号 $\phi_{E-1} \sim \phi_{E-3}$ を出力する。図13に示した通り、遅延制御信号 $\phi_{E-1} \sim \phi_{E-32}$ は、32ビットで構成される。

【0061】遅延制御回路15は、位相比較結果信号 ϕ_{s0} 、 ϕ_{SE} によりHレベルの遅延制御信号 ϕ_E を右側にシフトし、可変遅延回路の遅延量を増加させ、位相比較結果信号 ϕ_{R0} 、 ϕ_{RE} によりHレベルの遅延制御信号 ϕ_E を左側にシフトし可変遅延回路の遅延量を減少させる。

【0062】遅延制御回路の各段は、例えば1段目では、NANDゲート432-1とインバータ433-1からなるラッチ回路をそれぞれ有する。また、位相比較結果信号 $\phi_{s0} \sim \phi_{RE}$ によりラッチ回路432-1と433-1の状態を強制的に反転させるトランジスタ434

ー1, 436-1を有する。トランジスタ438-1, 439-1は、反転の対象外の場合にトランジスタ434-1, 436-1によってはラッチ回路が反転されないようにする為に設けられる。2段目〜3段目の回路も同様の構成である。これらのトランジスタは全てNチャネル型である。

【0063】今仮に、Lレベルパルスのリセット信号 ϕ_R が印加されると、NANDゲート431-1〜3の出力は全てHレベルとなり、インバータ433-1〜3の出力は全てLレベルとなる。従って、ノード5a-2がLレベルとなり、NORゲート431-1の出力の遅延制御信号 ϕ_{E-1} はHレベルとなる。また、ノード5a-1, 5a-3が共にHレベルであるので、それ以外の遅延制御信号 ϕ_{E-2} 、 ϕ_{E-3} は全てLレベルとなる。即ち、リセット信号 ϕ_R にตอบสนองして、遅延制御信号 ϕ_{E-1} がHレベルとなり、可変遅延回路13, 14は最小遅延時間に制御される。

【0064】次に、位相比較が実行されると、両クロックの位相関係に応じて、位相比較結果信号 $\phi_{S0} \sim \phi_{RE}$ のいずれかがHレベルとなる。今仮に、位相比較結果信号 ϕ_{SE} がHレベルとなると、トランジスタ434-1が導通し、ノード5a-1を強制的にLレベルに引き下げて、インバータ433-1の出力のノード5a-2を強制的にHレベルに引き上げる。その結果、NORゲート431-1の出力 ϕ_{E-1} はLレベルとなる。また、ノード5a-1と5a-4が共にLレベルであるので、NORゲート431-2の出力 ϕ_{E-2} はHレベルとなる。そして、1段目と2段目のラッチ回路は、その状態を保持する。更に、その後の位相比較により位相比較結果信号 ϕ_{S0} がHレベルになると、同様の動作により、ノード5a-3と5a-6が共にLレベルとなり、遅延制御信号 ϕ_{E-3} がHレベルとなる。この様に、位相比較結果信号 ϕ_{SE} と ϕ_{S0} により、遅延時間が長くなる様に遅延制御信号 ϕ_E が右側にシフトする。

【0065】逆に、位相比較結果信号 ϕ_{RE} と ϕ_{R0} により、上記と逆の動作により、遅延時間が短くなる様に遅延制御信号 ϕ_E が左側にシフトする。尚、上記の位相比較回路の出力部の動作から明らかな通り、位相比較結果信号 ϕ_{SE} と ϕ_{S0} は、第2のクロックd-i-c1kが進んでいる時に位相比較毎に交互に生成され、また、位相比較結果信号 ϕ_{RE} と ϕ_{R0} は、第2のクロックd-i-c1kが遅れている時に位相比較毎に交互に生成される。

【0066】また、位相比較結果信号 ϕ_{SE} 、 ϕ_{S0} にตอบสนองして、遅延制御信号 ϕ_E が徐々に右側に移動し、最後に遅延制御信号 ϕ_{E-32} がHレベルになる。この状態では、インバータ433-32の出力がLレベル、NANDゲート432-32の出力がHレベルにラッチされている。そこで、更に、遅延時間を延ばす比較結果信号 ϕ_{S0} が供給されると、NANDゲート432-43の出力がLレベルに引き下げられ、インバータ433-32の出

力がHレベルに引き上げられる。

【0067】

【発明の効果】以上説明した通り、本発明によれば、メモリデバイスなどに内蔵されるタイミング制御のためのDLL回路において、出力端子に接続される外部負荷に応じて、そのタイミングを決定する位相調整が行われる。従って、本発明のDLL回路は、デバイスがシステムに搭載された状態での条件の整合した最適のタイミングの制御クロックを、生成させることができる。

【0068】また、その位相調整動作は、1回のデータの切り替わりを利用してデータ出力バッファの動作遅延時間を測定するので、デバイスの調整に要する時間を短くすることが可能になる。そして、そのように調整された遅延量を有する可変遅延回路をDLL回路のフィードバックループに利用することで、最適のタイミングの制御クロックを生成することが可能になる。

【0069】更に、本発明によれば、通常動作時においても、通常動作時のデータ出力の変化を利用して、データ出力バッファの動作遅延時間を測定するので、動作中の予期しない要因により位相関係が最適状態からずれることを防止することができる。

【図面の簡単な説明】

【図1】第1の実施の形態例のDLL回路の構成図である。

【図2】DLL回路の動作タイミングチャート図である。

【図3】第2の実施の形態例のDLL回路の構成図である。

【図4】第1の実施の形態例の変形例のDLL回路の構成図である。

【図5】遅延測定回路19と可変遅延回路20の構成を示す図である。

【図6】遅延測定回路の動作タイミングチャート図である。

【図7】遅延測定回路の制御部の回路図である。

【図8】初期化状態での遅延測定回路の制御部の動作タイミングチャート図である。

【図9】通常動作状態での遅延測定回路の制御部の動作タイミングチャート図である。

【図10】ダミーデータ発生器の回路図である。

【図11】ダミーデータ発生器の動作タイミングチャート図である。

【図12】データ出力バッファの回路図である。

【図13】可変遅延回路13, 14の例を示す図である。

【図14】位相比較回路16内の位相比較部の回路図である。

【図15】位相比較部の動作を示す波形図である。

【図16】位相比較回路16の位相比較出力部の回路図である。

【図17】位相比較出力部の動作を示す波形図である。

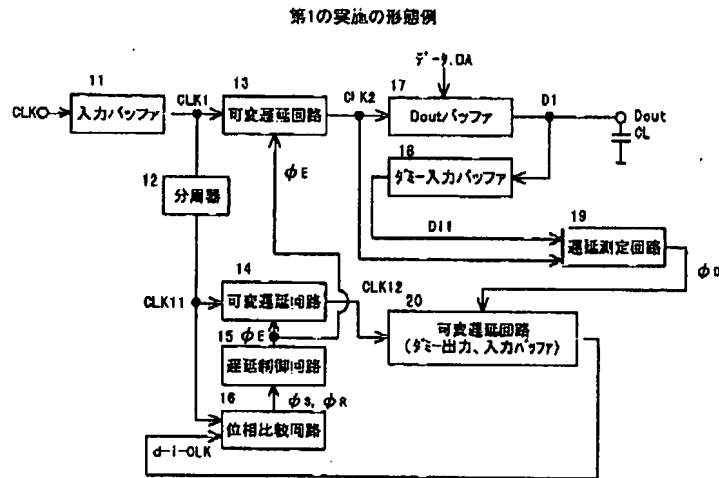
【図18】遅延制御回路の回路図である。

【符号の説明】

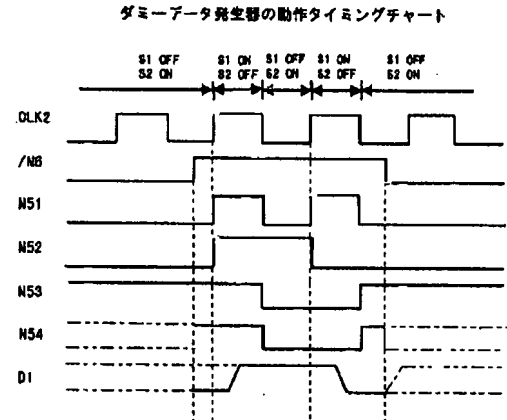
- 11 入力バッファ
13, 14 可変遅延回路
15 遅延制御回路
16 位相比較回路

- 17 データ出力バッファ
18 ダミー入力バッファ
19 遅延測定回路
20 可変遅延回路、ダミー出力バッファ、
ダミー入力バッファ
22 ダミーデータ発生器

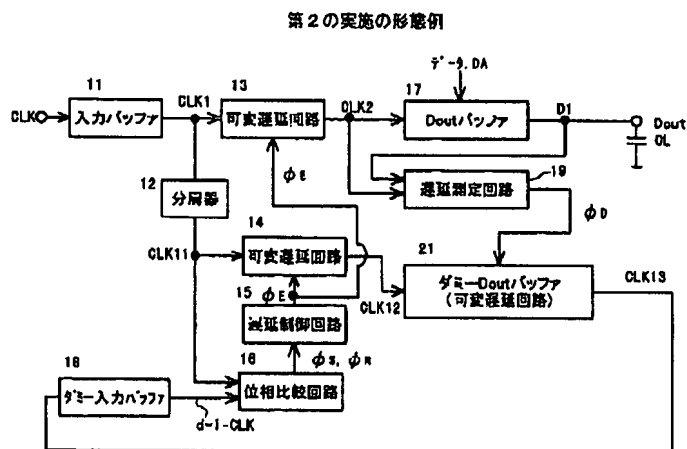
【図1】



【図11】

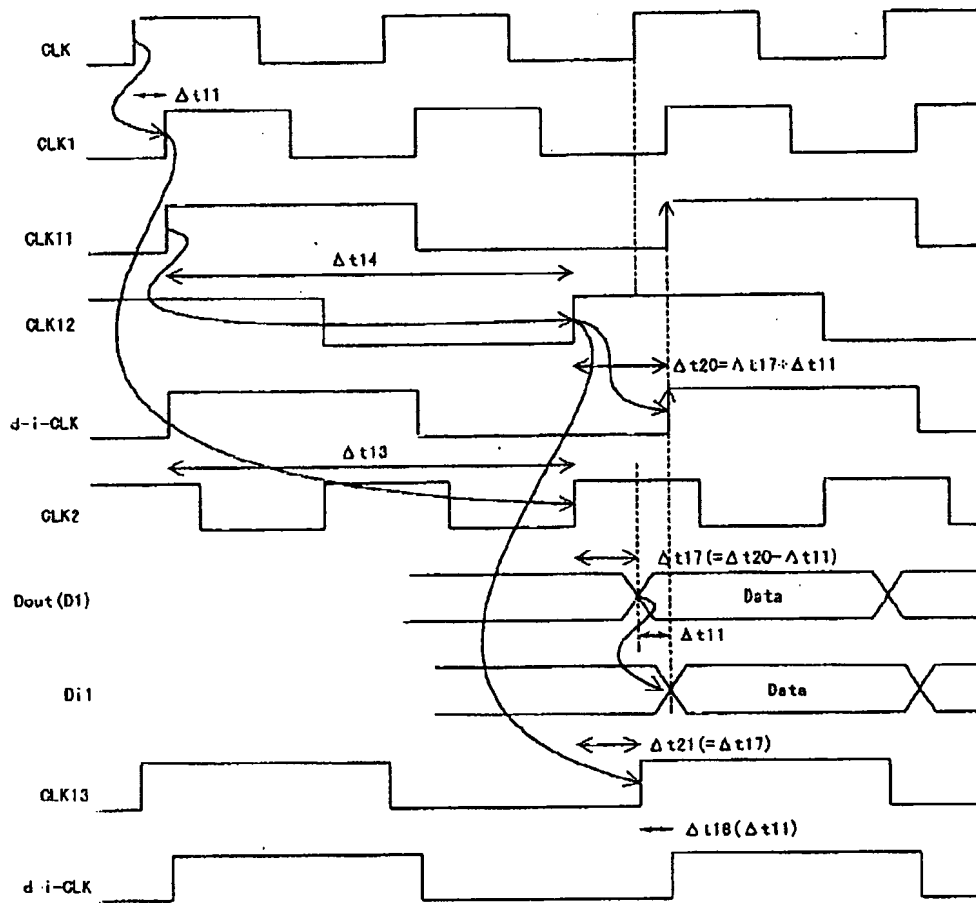


【図3】



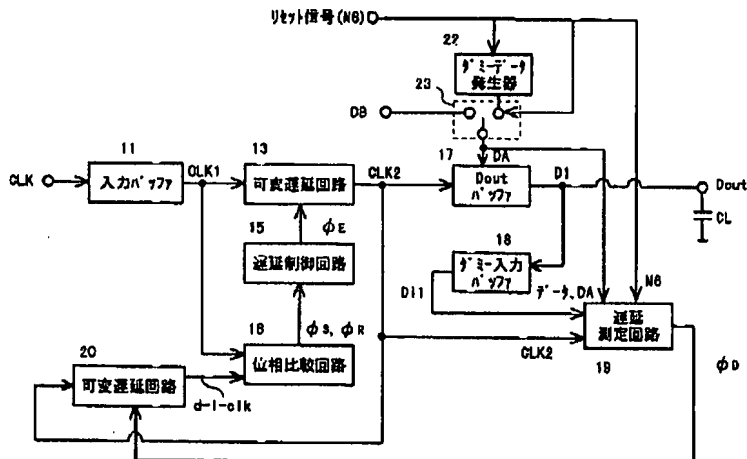
【図2】

動作タイミングチャート



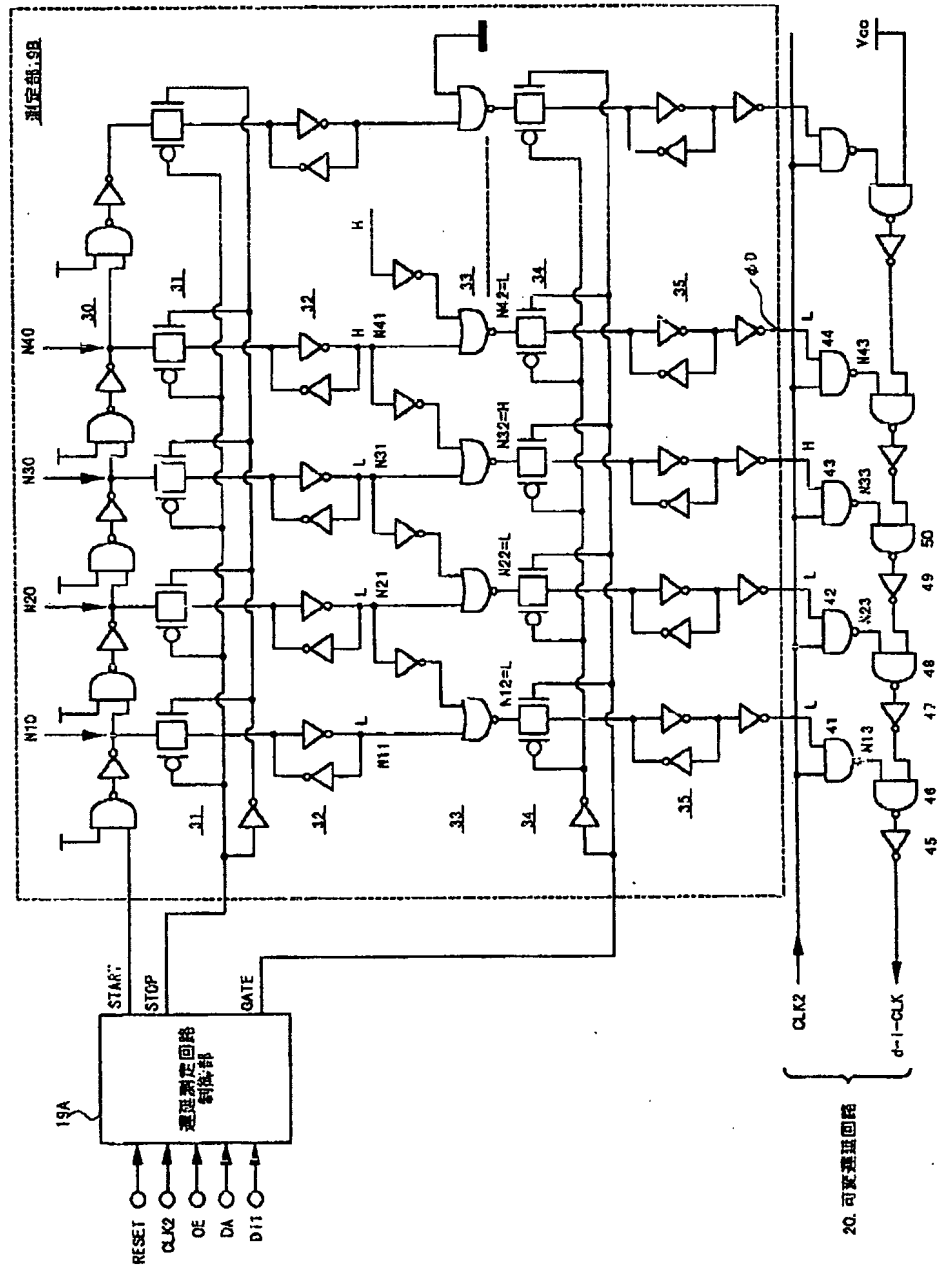
【図4】

第1の実施の形態例の変形例



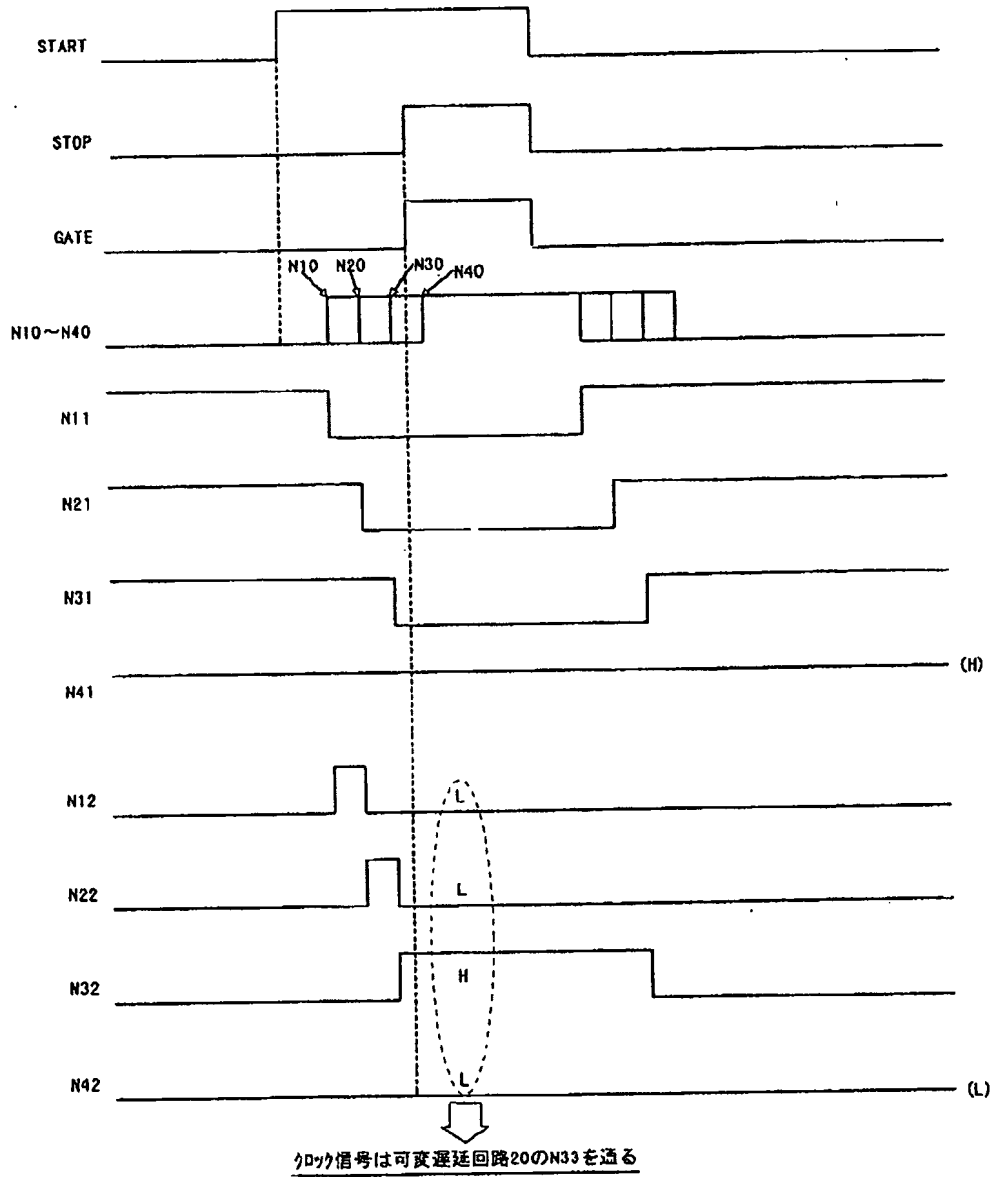
【図5】

遅延測定回路19及び可変遅延回路20の構成



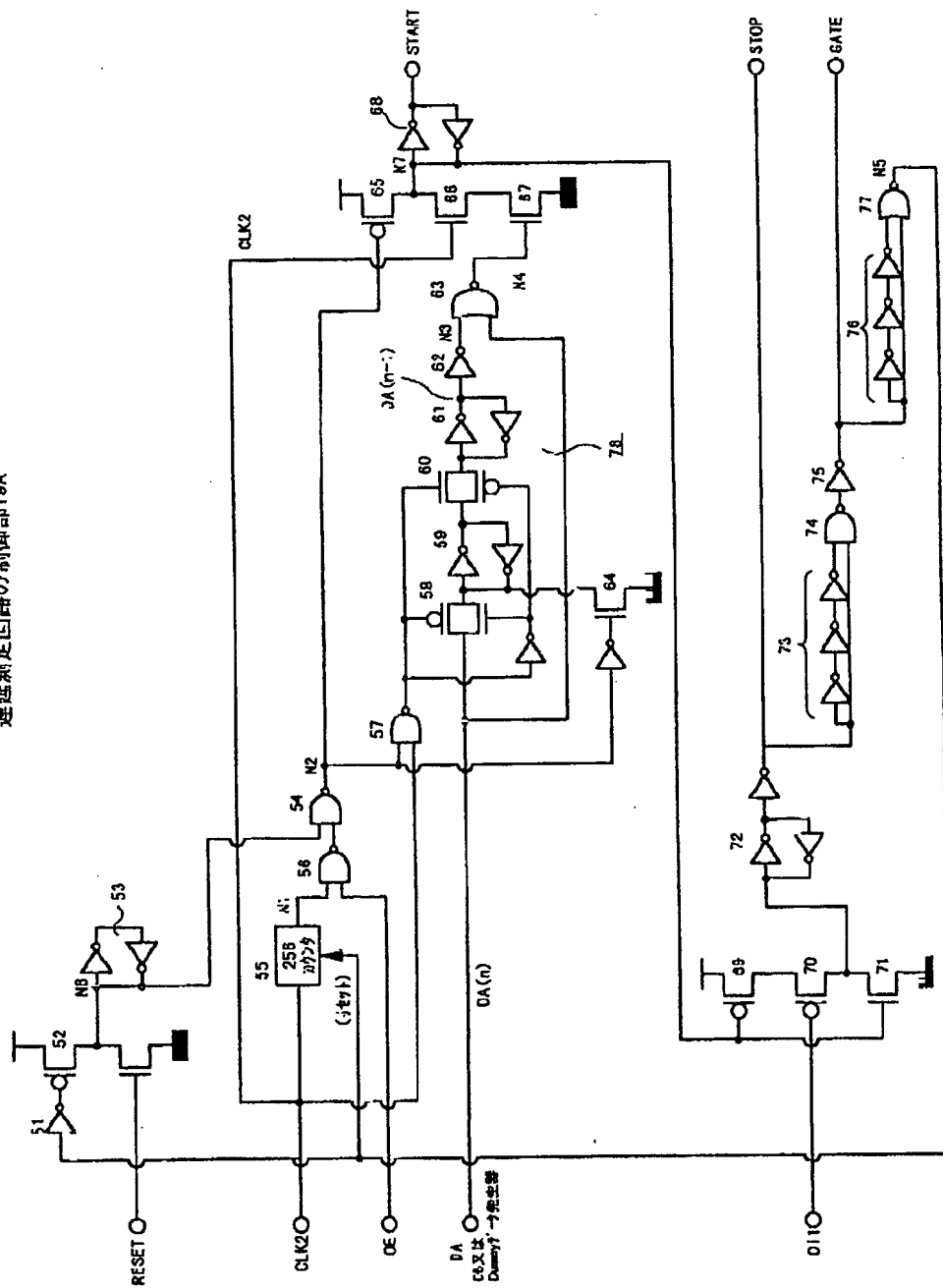
【図6】

遅延測定回路の測定部の動作タイミングチャート



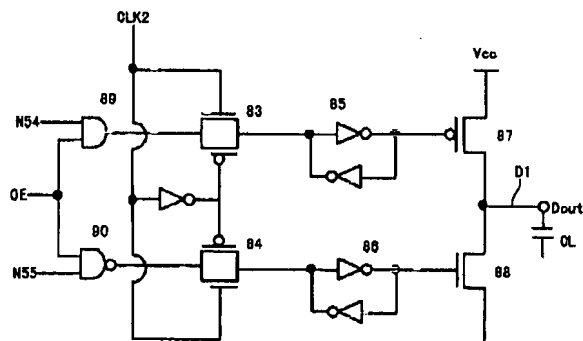
【図7】

遅延測定回路の制御部19A

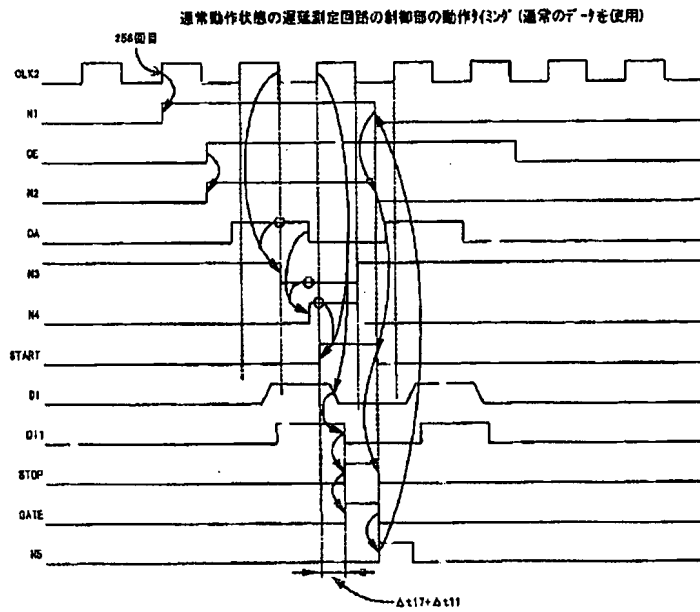


The timing diagram illustrates the sequence of operations for the 74181 ALU. The signals shown are CLK2, RESET, N6, N2, DA, N3, N4, START, D1, Di1, STOP, GATE, and N5. The diagram shows the timing relationships between these signals, including setup and hold times, and the execution of operations. Key timing parameters indicated are $\Delta t_{17} + \Delta t_{11}$ and $t' \approx t - t$.

出力バッファ

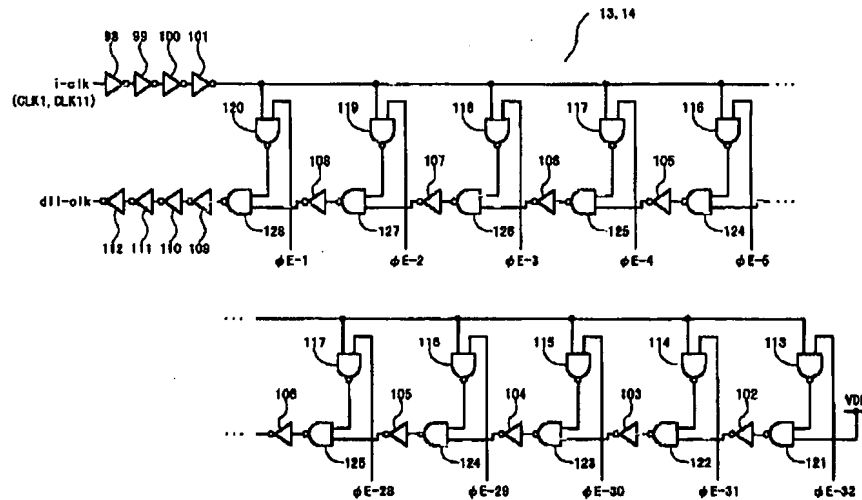


【図9】



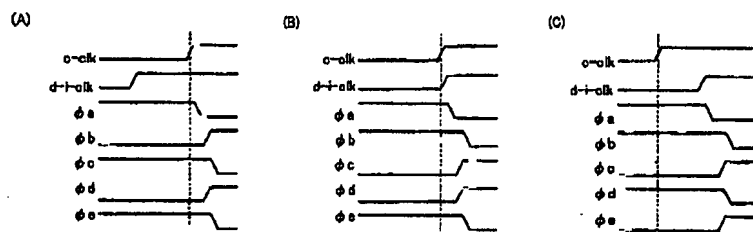
【図13】

可変遅延回路例



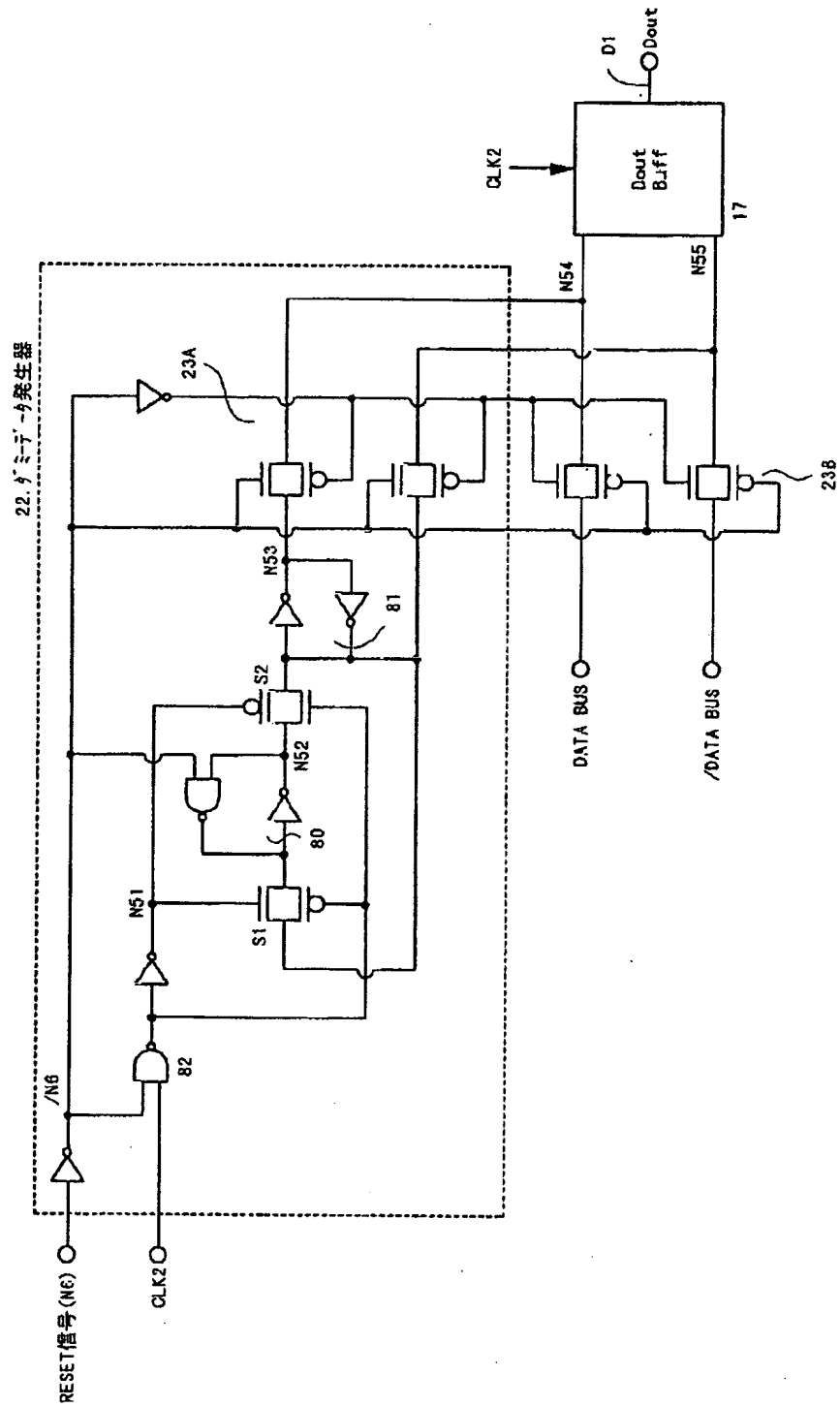
【図15】

位相比較部の動作を示す波形図

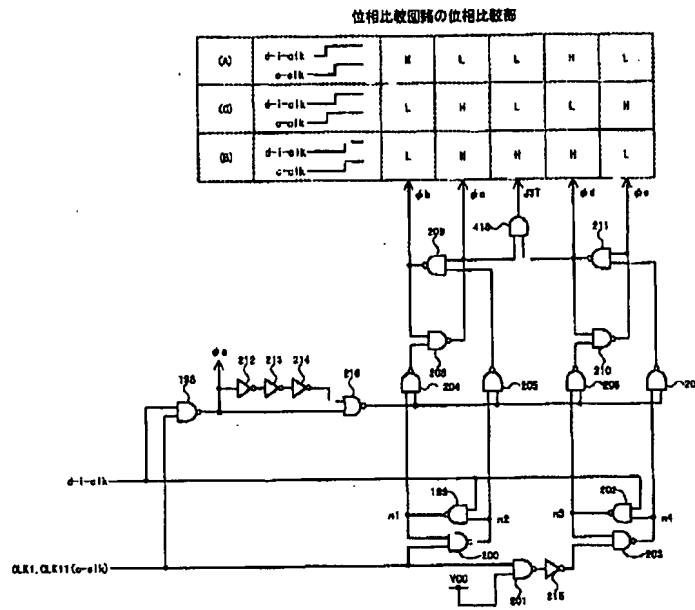


【図10】

ダミーデータ発生器

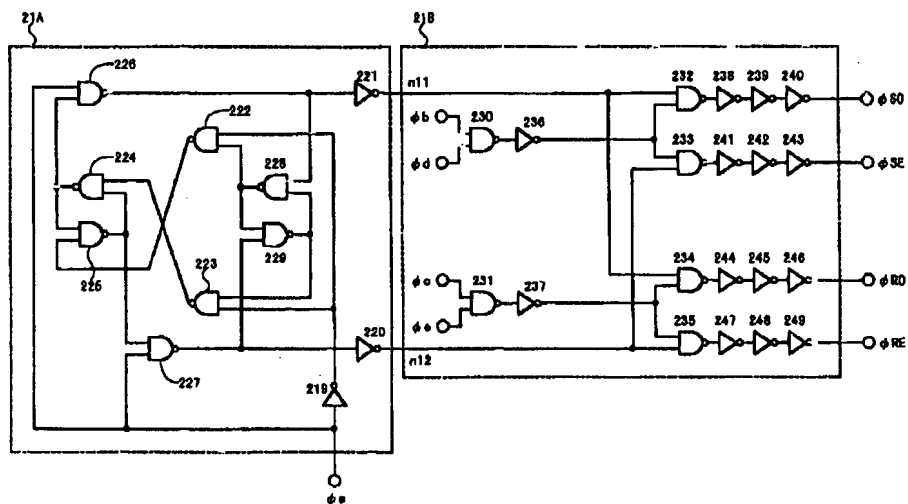


【図14】



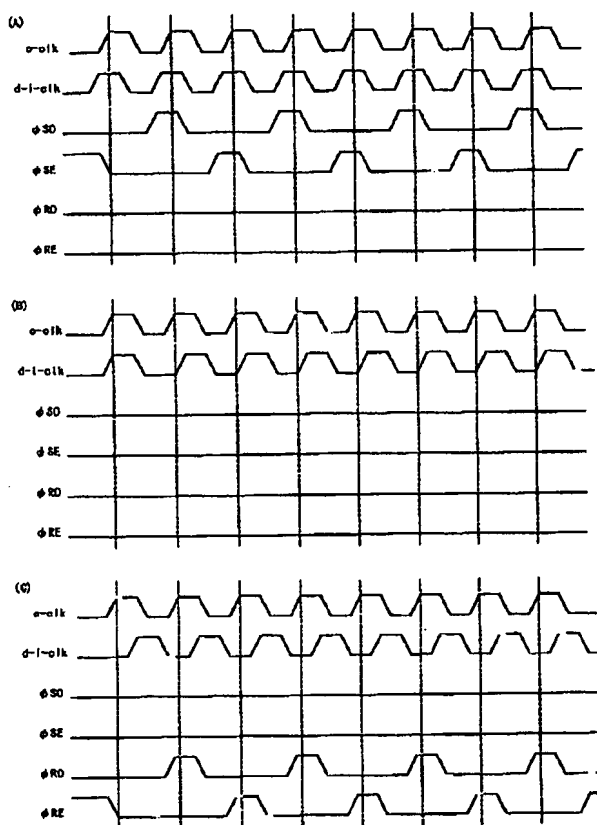
【図16】

位相比較回路の出力部の構成を示す回路図



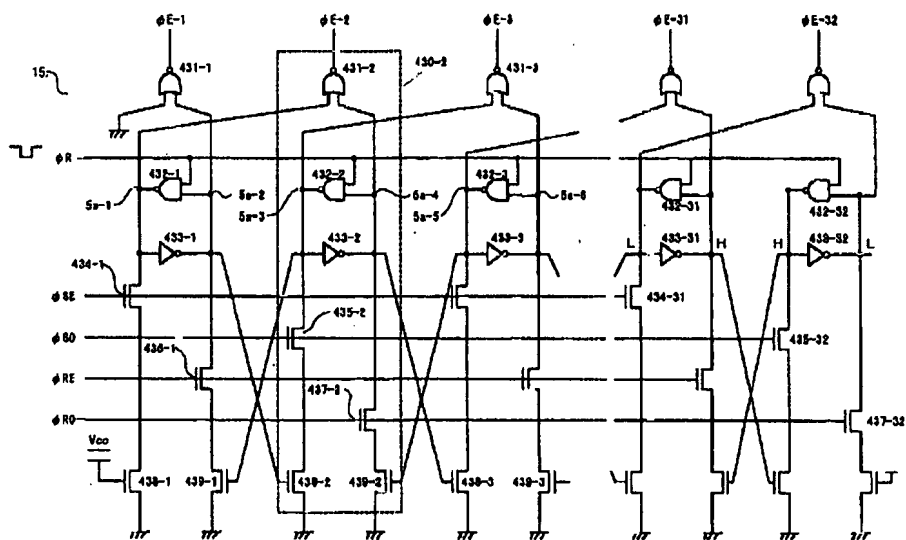
【図17】

位相比較回路の出力部の動作を示す波形図



【図18】

遅延制御回路の構成例



フロントページの続き

Fターム(参考) 5B024 AA04 AA15 BA21 BA23 CA07
5J001 AA05 BB00 BB02 BB04 BB07
BB08 BB10 BB11 BB12 BB14
BB21 BB24 DD09
5J106 AA03 CC21 CC52 CC59 DD24
FF07 GG10 HH02 KK05 KK29